

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2002 年 6 月 27 日 (27.06.2002)

PCT

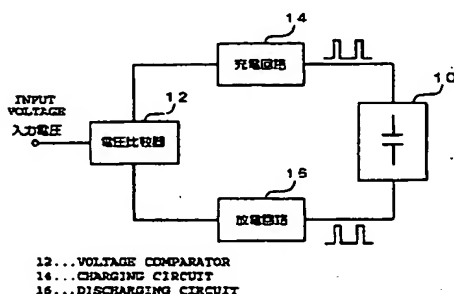
(10) 国際公開番号
WO 02/51005 A1

- (51) 国際特許分類⁷: H03H 11/48, H03G 3/30, H03D 1/10 (72) 発明者; および
(21) 国際出願番号: PCT/JP01/11184 (75) 発明者/出願人 (米国についてのみ): 宮城 弘
(22) 国際出願日: 2001 年 12 月 20 日 (20.12.2001) (MIYAGI, Hiroshi) [JP/JP]; 〒943-0834 新潟県 上越市 西城町 2 丁目 5 番 1 3 号 新潟精密株式会社内
(25) 国際出願の言語: 日本語 Niigata (JP).
(26) 国際公開の言語: 日本語 (74) 代理人: 雨貝 正彦 (AMAGAI, Masahiko); 〒169-0074 東京都 新宿区 北新宿 1 丁目 8 番 1 5 号 北新宿 O C ビル 2 階 雨貝特許事務所 Tokyo (JP).
(30) 優先権データ: (81) 指定国 (国内): CN, JP, KR, US.
特願 2000-388815 2000 年 12 月 21 日 (21.12.2000) JP
特願 2001-198217 2001 年 6 月 29 日 (29.06.2001) JP
(71) 出願人 (米国を除く全ての指定国について): 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒943-0834 新潟県 上越市 西城町 2 丁目 5 番 1 3 号 Niigata (JP).
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: SMOOTHING CIRCUIT

(54) 発明の名称: 平滑回路



(57) Abstract: A smoothing circuit for realizing the miniaturization and the increase of integration scale of a circuit and for easily varying attack time and release time. This smoothing circuit comprises a capacitor (10), voltage comparator (12), charging circuit (14), and discharging circuit (16). The voltage comparator (12) compares the terminal voltage of the capacitor (10) with its input voltage and actuates the charging circuit (14) or the discharging circuit (16) according to a comparison result. The charging circuit (14) charges the capacitor (10) by intermittently supplying charging current. The discharging circuit (16) discharges the capacitor (10) by allowing discharging current to flow intermittently.

(57) 要約:

回路の小型化および IC 化を実現することができ、アタック時間とリリース時間を容易に異ならせることができる平滑回路を提供することを目的とする。

この平滑回路は、コンデンサ 10、電圧比較器 12、充電回路 14、放電回路 16 を備えている。電圧比較器 12 は、コンデンサ 10 の端子電圧と入力電圧とを比較し、比較結果に応じて充電回路 14 あるいは放電回路 16 の動作を有効にする。充電回路 12 は、間欠的に充電電流を供給することによりコンデンサ 10 を充電する。また、放電回路 16 は、間欠的に放電電流を流すことによりコンデンサ 10 を放電する。

WO 02/51005 A1



2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

平滑回路

技術分野

本発明は、受信機のA G C（自動利得制御）回路等に用いられる平滑回路に関する。

背景技術

A M受信機やF M受信機等においては、入力信号レベルを調整するためにA G C回路が用いられている。このA G C回路では、信号レベルが変化したときに、この変化に追随するように緩やかに変化する信号が生成されるが、このために平滑回路が用いられる。

図8は、従来の平滑回路の構成を示す回路図である。図8に示す従来の平滑回路は、2つの抵抗100、102とコンデンサ104を組み合わせて構成されている。抵抗100の一方端に入力電圧が印加されると、抵抗100を介してコンデンサ104に充電電流が流れるため、コンデンサ104の端子電圧が上昇する。抵抗100の抵抗値を R_1 、コンデンサ104の静電容量を C とすると、コンデンサ104の端子電圧が所定値に達するまでの時間 t_1 は、 $R_1 \times C$ で表すことができる。この時間 t_1 がアタック時間（Attack Time）であり、受信機等のA G C回路に用いられる平滑回路では、10～50 msec程度に設定されている。

また、抵抗100の一方端に対する入力電圧の印加が中断されると、抵抗102を介してコンデンサ104が放電するため、コンデンサ104の端子電圧が低下する。抵抗102の抵抗値を R_2 とすると、コンデンサ104の端子電圧が所定値まで低下するまでの時間 t_2 は、 $R_2 \times C$ で表すことができる。この時間 t_2 がリリース時間（Release Time）であり、受信機等のA G C回路に用いられる平滑回路では、200～500 msec程度に設定されている。

ところで、上述した従来の平滑回路では、10～50 msec程度のアタック

時間や、200～500 msec 程度のリリース時間を実現しようとする、抵抗100とコンデンサ104の組合せや抵抗102とコンデンサ104の組合せにおいて大きな時定数を設定する必要があることから、抵抗100、102、コンデンサ104の各素子定数が大きくなり、回路の小型化やIC化が難しいという問題があった。例えば、IC化する場合に、実際に形成可能な抵抗の抵抗値は大きくても500 K Ω 程度である。このような抵抗を用いた場合に100 msecのリリース時間 t_2 を設定しようとする、 $C = t_2^2 / R_2 = 0.2 \mu F$ となる。しかし、IC化可能なコンデンサの静電容量値は、製造コスト等を考慮すると20 pF以内であり、結局平滑回路全体のIC化は困難であって、外付けの大きなコンデンサを用いていた。

発明の開示

本発明は、このような点に鑑みて創作されたものであり、その目的は、回路の小型化およびIC化を実現することができる平滑回路を提供することにある。

また、本発明の他の目的は、アタック時間とリリース時間を容易に異ならせることができる平滑回路を提供することにある。

本発明の平滑回路は、コンデンサと、このコンデンサの端子電圧と入力電圧とを比較する電圧比較器と、端子電圧よりも入力電圧の方が相対的に高い場合にコンデンサを間欠的に充電する充電回路と、端子電圧の方が入力電圧よりも相対的に低い場合にコンデンサから間欠的に放電電流を放出する放電回路とを備えている。コンデンサに対して間欠的な充放電が行われるため、コンデンサの静電容量を小さくした場合であっても緩やかに端子電圧が変化し、等価的に大きな時定数を設定することができる。したがって、大きな時定数を設定する場合であっても小さなコンデンサを使用することができ、回路の小型化が可能になる。また、大きな時定数を設定するために必要だった大きな抵抗やコンデンサが不要になって外付け部品を低減あるいは全くなすことができるため、平滑回路全体あるいはほとんどの構成部品のIC化が可能となる。

また、上述した充電回路は、コンデンサに所定の充電電流を供給する電流供給部と、電流供給部による充電電流の間欠的な供給動作のタイミングを制御する第

1のタイミング制御部とを含んで構成することが望ましい。電流供給部による充電電流の供給動作のタイミングを制御することにより、コンデンサの間欠的な充電動作を容易に制御することができる。

また、上述した第1のタイミング制御部は、所定のデューティ比を有するパルス信号に基づいてタイミングの制御を行うスイッチを有することが望ましい。パルス信号に応じてスイッチをオンオフすることで電流供給部による充電電流の供給動作が制御されるため、パルス信号の周期やデューティ比を変更することによる充電速度等の変更が容易になる。

また、上述した電流供給部は、定電流回路と、この定電流回路によって生成される電流と同じ充電電流をコンデンサに供給するカレントミラー回路とを含んで構成することが望ましい。カレントミラー回路を用いることにより、定電流回路によって生成する定電流と同じ充電電流を確実にコンデンサに供給することができ、コンデンサの充電動作を安定させることができる。

また、上述した放電回路は、コンデンサから所定の放電電流を放出する電流放出部と、電流放出部による放電電流の間欠的な放出動作のタイミングを制御する第2のタイミング制御部とを含んで構成することが望ましい。電流放出部による放電電流の放出動作のタイミングを制御することにより、コンデンサの間欠的な放電動作を容易に制御することができる。

また、上述した第2のタイミング制御部は、所定のデューティ比を有するパルス信号に基づいてタイミングの制御を行うスイッチを有することが望ましい。パルス信号に応じてスイッチをオンオフすることで電流放出部による放電電流の放出動作が制御されるため、パルス信号の周期やデューティ比を変更することによる放電速度等の変更が容易になる。

また、上述した電流放出部は、定電流回路と、この定電流回路によって生成される電流と同じ放電電流を前記コンデンサから放出するカレントミラー回路とを含んで構成することが望ましい。カレントミラー回路を用いることにより、定電流回路によって生成する定電流と同じ放電電流を確実にコンデンサから放出することができ、コンデンサの放電動作を安定させることができる。

また、コンデンサに所定の充電電流を供給する電流供給部とこの電流供給部に

よる充電電流の間欠的な供給動作のタイミングを制御する第1のタイミング制御部とを含んで充電回路を構成するとともに、コンデンサから所定の放電電流を放出する電流放出部とこの電流放出部による放電電流の間欠的な放出動作のタイミングを制御する第2のタイミング制御部とを含んで放電回路を構成したときに、第1のタイミング制御部によって制御される充電電流の供給タイミングと、第2のタイミング制御部によって制御される放電電流の放電タイミングとが重複しないことが望ましい。コンデンサに対する充放電タイミングを異ならせることにより、コンデンサを充電する動作とコンデンサを放電させる動作を確実に実施することができる。

また、上述した充電回路による充電速度と放電回路による放電速度を異ならせる充放電速度設定手段をさらに備えることが望ましい。充放電速度設定手段を設けることにより、コンデンサに対する充電速度と放電速度を異ならせることができるため、容易にアタック時間とリリース時間が異なる平滑回路を実現することが可能になる。

また、コンデンサに所定の充電電流を供給する電流供給部とこの電流供給部による充電電流の間欠的な供給動作のタイミングを制御する第1のタイミング制御部とを含んで充電回路を構成するとともに、コンデンサから所定の放電電流を放出する電流放出部とこの電流放出部による放電電流の間欠的な放出動作のタイミングを制御する第2のタイミング制御部とを含んで放電回路を構成し、充放電速度設定手段によって、第1および第2のタイミング制御部によって制御される充電電流の間欠的な供給時間と放電電流の間欠的な放出時間を異ならせることが望ましい。電流供給部による充電電流の供給動作のタイミングと電流放出部による放電電流の放出動作のタイミングを制御することにより、コンデンサの間欠的な放電動作を容易に制御することができる。しかも、充放電動作が行われる時間そのものを異ならせることにより、容易にアタック時間とリリース時間を異ならせることができる。

また、第1および第2のタイミング制御部のそれぞれが、所定のデューティ比を有するパルス信号に基づいてタイミングの制御を行うスイッチを有している場合に、上述した充放電速度設定手段は、充電用のパルス信号のデューティ比と放

電用のパルス信号のデューティ比を異ならせることが望ましい。これにより、充電時間と放電時間とを異ならせる制御が容易となる。

また、上述した充放電速度設定手段は、電流供給部によって供給される充電電流と電流放出部によって放出される放電電流を異ならせることが望ましい。充電電流値と放電電流値とを異ならせることにより、容易にアタック時間とリリース時間を異ならせることができる。

また、電流供給部および電流放出部のそれぞれが、所定の基準電圧がゲートに印加されるトランジスタによって構成されている場合に、上述した充放電速度設定手段は、充電用のトランジスタと放電用のトランジスタのゲート寸法を異ならせることが望ましい。これにより、充電電流値と放電電流値とを異ならせる制御が容易となる。

また、上述した充放電タイミングを設定するパルス信号の周波数は、入力信号の周波数の2倍よりも高いことが望ましい。パルス信号の周波数を入力信号の周波数の2倍よりも高くすることにより、入力信号の波形を精度よくサンプリングすることが可能になる。これに対し、パルス信号の周波数を入力信号の2倍に設定すると、入力信号の振幅が0となるタイミングに丁度一致する場合があります、入力信号の波形に基づいて動作を行うことができなくなる。また、パルス信号の周波数を入力信号の2倍よりも低く設定すると、入力信号の半波長分の波形にパルス信号が1回も出力されない場合が生じるため、入力信号の波形に基づいた正確な平滑動作が不可能になる。

図面の簡単な説明

- 図1は、第1の実施形態の平滑回路の原理ブロックを示す図、
- 図2は、AGC回路に含まれる平滑回路の使用例を示す構成図、
- 図3は、平滑回路の具体的な構成を示す回路図、
- 図4は、第2の実施形態の平滑回路の原理ブロックを示す図、
- 図5は、平滑回路の具体的な構成を示す回路図、
- 図6は、平滑回路の変形例を示す回路図、
- 図7は、MOS型のトランジスタのゲート寸法を示す図、

図 8 は、従来の平滑回路の構成を示す回路図である。

発明を実施するための最良の形態

以下、本発明を適用した一実施形態の平滑回路について、図面を参照しながら説明する。

〔第 1 の実施形態〕

図 1 は、第 1 の実施形態の平滑回路の原理ブロックを示す図である。図 1 に示すように、本実施形態の平滑回路は、コンデンサ 10、電圧比較器 12、充電回路 14、放電回路 16 を備えている。電圧比較器 12 は、コンデンサ 10 の端子電圧と入力電圧とを比較し、この比較結果に応じて充電回路 14 あるいは放電回路 16 の動作を有効にする。充電回路 14 は、間欠的に充電電流を供給することによりコンデンサ 10 を充電する。例えば、この充電回路 14 は、定電流回路とスイッチとを含んで構成されており、スイッチがオン状態になったときに定電流回路からコンデンサ 10 に対して充電電流が供給される。また、放電回路 16 は、間欠的に放電電流を流すことによりコンデンサ 10 を放電する。例えば、この放電回路 16 は、定電流回路とスイッチとを含んで構成されており、スイッチがオン状態になったときにコンデンサ 10 から一定の電流が放出される。

このように、本実施形態の平滑回路は、コンデンサ 10 に対して間欠的な充放電動作を行っている。このため、コンデンサ 10 の静電容量を小さく設定した場合でも、緩やかにその両端電圧が変化し、大きな時定数を有する回路、すなわち大きな静電容量を有するコンデンサや大きな抵抗値を有する抵抗を使用した場合と同等の充放電特性を得ることができる。また、充電回路 14 や放電回路 16 では、所定の電流をコンデンサ 10 に供給、あるいはコンデンサ 10 から放出する制御を行うが、これらの供給、放出動作は間欠的に行われるため、その際の電流値を IC 化に適したある程度大きな値に設定することができる。したがって、平滑回路全体を IC 化することが可能になる。また、コンデンサ等の外付け部品が不要になるため、平滑回路全体を大幅に小型化することができる。

次に、上述した本実施形態の平滑回路の具体的な構成をその応用例とともに説明する。

図2は、A G C回路に含まれる平滑回路の使用例を示す構成図であり、受信機において電界強度に応じた利得制御を行うA G C回路の部分的な構成が示されている。この受信機としては、ダイレクトコンバージョン受信機やその他のスーパーヘテロダイン受信機などが考えられる。

図2において、振幅検波回路20は、受信機のキャリア信号が入力されており、この入力されたキャリア信号に対して半波あるいは全波整流を行う。コンデンサ22は、振幅検波回路20によって整流された後の信号に含まれるキャリア分を取り除くためのものである。このコンデンサ22でキャリア分を取り除くと、キャリアに振幅変調がかかっていなければ直流電圧が得られるため後段の平滑回路24は不要となる。しかし、実際はA M波に限らずF M波であっても何らかの振幅変化が生じており、受信電界強度を検出したい場合には平滑回路24が必要になる。

平滑回路24は、コンデンサ22によってキャリア分が取り除かれた信号の電圧レベルを平滑化する。平滑化された電圧は、高入力インピーダンスのバッファ26に印加されており、このバッファ26からA G C動作に必要な制御用D C信号が出力される。

図3は、平滑回路24の具体的な構成を示す回路図である。図3に示すように、平滑回路24は、コンデンサ10、定電流回路40、トランジスタ42、44、50、54、56、スイッチ46、52、電圧比較器60、アンド回路62、64を含んで構成されている。

2つのトランジスタ42、44によってカレントミラー回路が構成されており、定電流回路40から出力される定電流と同じ充電電流が生成される。また、この充電電流の生成タイミングがスイッチ46によって決定される。

スイッチ46は、インバータ回路1とアナログスイッチ2とトランジスタ3によって構成されている。アナログスイッチ2は、pチャネルトランジスタとnチャネルトランジスタの各ソース・ドレイン間を並列接続することにより構成されている。アンド回路62の出力信号が直接nチャネルトランジスタのゲートに入力されているとともに、この出力信号の論理をインバータ回路1によって反転した信号がpチャネルトランジスタのゲートに入力されている。したがって、この

アナログスイッチ 2 は、アンド回路 6 2 の出力信号がハイレベルのときにオン状態になって、反対にローレベルのときにオフ状態になる。また、トランジスタ 3 は、アナログスイッチ 2 がオフ状態のときにトランジスタ 4 4 のゲート・ドレイン間を低抵抗で接続することにより、トランジスタ 4 4 による電流供給動作を確実に停止させるためのものである。

スイッチ 4 6 がオン状態になると、定電流回路 4 0 が接続された一方のトランジスタ 4 2 のゲートと他方のトランジスタ 4 4 のゲートとが接続された状態になるため、一方のトランジスタ 4 2 に接続された定電流回路 4 0 によって生成される定電流とほぼ同じ電流が他方のトランジスタ 4 4 のソース・ドレイン間にも流れる。この電流が、充電電流としてコンデンサ 1 0 に供給される。反対に、スイッチ 4 6 がオフ状態になると、トランジスタ 4 4 のゲートがドレインに接続された状態になるため、この充電電流の供給が停止される。

上述した定電流回路 4 0 および 2 つのトランジスタ 4 2、4 4 が電流供給部に対応する。スイッチ 4 6、アンド回路 6 2 が第 1 のタイミング制御部に対応する。

また、上述したトランジスタ 4 2 と定電流回路 4 0 にトランジスタ 5 0 を組み合わせることにより、コンデンサ 1 0 の放電電流を設定するカレントミラー回路が構成されており、その動作状態がスイッチ 5 2 によって決定される。スイッチ 5 2 はスイッチ 4 6 と同じ構成を有している。このスイッチ 5 2 は、アンド回路 6 4 の出力信号の論理に応じてオンオフ状態が制御されており、この出力信号がハイレベルのときにオン状態に、ローレベルのときにオフ状態になる。

スイッチ 5 2 がオン状態になると、定電流回路 4 0 が接続された一方のトランジスタ 4 2 のゲートと他方のトランジスタ 5 0 のゲートとが接続された状態になるため、定電流回路 4 0 によって生成される定電流とほぼ同じ電流が他方のトランジスタ 5 0 のソース・ドレイン間にも流れる。この電流が、コンデンサ 1 0 に蓄積された電荷を放出する放電電流になる。

但し、トランジスタ 5 0 に流れる電流をコンデンサ 1 0 から直接取り出すことはできないため、本実施形態では、トランジスタ 5 0 のソース側にトランジスタ 5 4、5 6 によって構成される別のカレントミラー回路が接続されている。

2 つのトランジスタ 5 4、5 6 はゲート同士が接続されており、トランジスタ

54に上述した放電電流が流れたときに、同じ電流が他方のトランジスタ56のソース・ドレイン間にも流れるようになっている。このトランジスタ56は、ドレインがコンデンサ10の高電位側の端子に接続されており、トランジスタ56に流れる電流は、コンデンサ10に蓄積された電荷が放出されることによって生成される。

上述した定電流回路40および4つのトランジスタ42、50、54、56が電流放出部に対応する。スイッチ52、アンド回路64が第2のタイミング制御部に対応する。

また、電圧比較器60は、プラス端子に印加されるコンデンサ10の端子電圧と、マイナス端子に印加される平滑回路24の入力電圧との大小比較を行う。この電圧比較器60は、非反転出力端子と反転出力端子を有しており、プラス端子に印加されるコンデンサ10の端子電圧の方がマイナス端子に印加される入力電圧よりも大きい場合には非反転出力端子からハイレベルの信号が出力され、反転出力端子からローレベルの信号が出力される。反対に、プラス端子に印加されるコンデンサ10の端子電圧の方がマイナス端子に印加される入力電圧よりも小さい場合には非反転出力端子からローレベルの信号が出力され、反転出力端子からハイレベルの信号が出力される。

アンド回路62は、一方の入力端子に所定のパルス信号が入力され、他方の入力端子に電圧比較器60の非反転入力端子が接続されている。したがって、コンデンサ10の端子電圧の方が平滑回路24の入力電圧よりも大きい場合に、アンド回路62から所定のパルス信号が出力される。

また、アンド回路64は、一方の入力端子に所定のパルス信号が入力され、他方の入力端子に電圧比較器60の反転入力端子が接続されている。したがって、コンデンサ10の端子電圧の方が平滑回路24の入力電圧よりも小さい場合に、アンド回路64から所定のパルス信号が出力される。

平滑回路24はこのような構成を有しており、次にその動作を説明する。

平滑回路24の動作開始時にコンデンサ10が充電されていない場合や、平滑回路24の入力電圧が上昇傾向にある場合には、コンデンサ10の端子電圧の方が平滑回路24の入力電圧よりも低い状態にある。このとき、アンド回路62か

らパルス信号が出力され、アンド回路64からはパルス信号が出力されない。したがって、スイッチ46のみが間欠的にオン状態になり、このオン状態になるタイミングで所定の充電電流がコンデンサ10に供給される。この充電動作は、コンデンサ10の端子電圧が平滑回路24の入力電圧よりも相対的に高くなるまで継続される。

また、この充電動作によってコンデンサ10の端子電圧が平滑回路24の入力電圧を超えた場合や、この入力電圧が下降傾向にあってコンデンサ10の端子電圧よりこの入力電圧の方が低い場合には、アンド回路64からパルス信号が出力され、アンド回路62からはパルス信号が出力されない。したがって、スイッチ52のみが間欠的にオン状態になり、このオン状態になるタイミングで所定の放電電流がコンデンサ10から放出される。この放電動作は、コンデンサ10の端子電圧が平滑回路24の入力電圧よりも相対的に低くなるまで継続される。

ところで、上述した平滑回路24において、コンデンサ10に対する充放電タイミングを設定するパルス信号（アンド回路62、64から出力されるパルス信号）の周波数は、電圧比較器60の非反転入力端子に入力される入力信号の周波数の2倍よりも高い値に設定する必要がある。これにより、入力信号の波形を精度よくサンプリングして平滑動作を行うことが可能になる。これに対し、パルス信号の周波数を入力信号の2倍に設定すると、入力信号の振幅が0となるタイミングに丁度一致する場合があります、入力信号の波形に基づいて動作を行うことができなくなる。また、パルス信号の周波数を入力信号の2倍よりも低く設定すると、入力信号の半波長分の波形にパルス信号が1回も出力されない場合が生じるため、入力信号の波形に基づいた正確な平滑動作が不可能になる。

また、コンデンサ10に対する充放電タイミングを設定する2種類のパルス信号は、出力タイミングが互いに重ならないようにする必要がある。コンデンサ10に対する充放電タイミングを異ならせることにより、コンデンサ10を充電する動作とコンデンサ10を放電させる動作を確実に実施することができる。

〔第2の実施形態〕

図3に具体的な構成を示した平滑回路24では、充電電流の供給タイミングを決定するパルス信号の周期やデューティ比と、放電電流の供給タイミングを決定

するパルス信号の周期やデューティ比とを同じにしたが、これらを異ならせるようにしてもよい。例えば、図3に示したアンド回路62に入力されるパルス信号のデューティ比よりも、アンド回路64に入力されるパルス信号のデューティ比を小さく設定する。これにより、アタック時間よりもリリース時間を長く設定することができる。

図4は、第2の実施形態の平滑回路の原理ブロックを示す図である。図4に示すように、本実施形態の平滑回路124は、コンデンサ10、電圧比較器12、充電回路14、放電回路16、充放電速度設定部18を備えている。図4に示した平滑回路は、図1に示した第1の実施形態の平滑回路に対して、充放電速度設定部18が追加された点が異なっている。

充放電速度設定部18は、充電回路14によるコンデンサ10の充電速度と放電回路16によるコンデンサ10の放電速度とを異ならせる設定を行う。この充放電速度設定部18が充放電速度設定手段に対応しており、具体的な内容については後述する。

本実施形態の平滑回路は、充放電速度設定部18によってコンデンサ10に対する充電速度と放電速度が異なるように設定されている。このため、この平滑回路をAGC回路等に用いる場合のアタック時間とリリース時間を異ならせることが可能になる。

図5は、平滑回路124の具体的な構成を示す回路図である。図5に示すように、平滑回路124は、コンデンサ10、定電流回路40、トランジスタ42、44、50、54、56、スイッチ46、52、電圧比較器60、アンド回路62、64、分周器70を含んで構成されている。図5に示した平滑回路124は、図3に示した第1の実施形態の平滑回路24に対して、充放電速度設定部18（充放電速度設定手段）に対応する分周器70が追加された構成を有している。図3に示した平滑回路24と基本的に同じ構成については同じ符号を付し、詳細な説明は省略する。

分周器70は、アンド回路62の一方の入力端子に入力されたパルス信号を所定の分周比で分周して出力する。アンド回路64は、一方の入力端子に分周器70から出力される所定のパルス信号が入力され、他方の入力端子に電圧比較器6

0の反転出力端子が接続されている。これにより、コンデンサ10の端子電圧の方が平滑回路124の入力電圧よりも小さい場合に、アンド回路64から所定のパルス信号が出力される。

ところで、2つのアンド回路62、64から出力される2種類のパルス信号を比較すると、アンド回路62から出力されるパルス信号のデューティ比の方がアンド回路64から出力されるパルス信号のデューティ比よりも大きいため、2つのアンド回路62、64のそれぞれから同じ時間だけパルス信号が出力された場合を考えると、単位時間当たりの充電速度の方が放電速度よりも速くなる。このため、アタック時間の方がリリース時間よりも短くなっている。

また、本実施形態では、電圧比較器60の2つの出力端子のいずれか一方のみがハイレベルになるため、2つのアンド回路62、64から同時にパルス信号が出力されることはなく、コンデンサ10の充電動作あるいは放電動作を確実に安定的に実施することができる。

なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内において種々の変形実施が可能である。例えば、上述した第2の実施形態では、2つのアンド回路62、64からデューティ比が異なるパルス信号を出力するために分周器70を用いたが、異なるデューティ比のパルス信号を別々に生成して2つのアンド回路62、64のそれぞれに入力するようにしてもよい。但し、別々に生成された2種類のパルス信号は、2つのアンド回路62、64のそれぞれに同時に入力されないようにする必要があり、同時に入力される可能性がある場合にはいずれか一方のパルス信号の入力を強制的に制限する制限回路を設ければよい。

また、上述した第2の実施形態では、コンデンサ10に対する充電速度と放電速度を異ならせるために、トランジスタ44、50のそれぞれがオン状態なる単位時間当たりの割合を異ならせたが、これらのトランジスタのゲート寸法を異ならせることにより、充電電流と放電電流そのものを異ならせるようにしてもよい。

図6は、平滑回路の変形例を示す回路図である。図6に示す平滑回路124Aは、図5に示した平滑回路124に対して、分周器70を削除するとともに、2つのトランジスタ44、50をゲート寸法を変更した2つのトランジスタ44A、

図6は、平滑回路の変形例を示す回路図である。図6に示す平滑回路124Aは、図5に示した平滑回路124に対して、分周器70を削除するとともに、2つのトランジスタ44、50をゲート寸法を変更した2つのトランジスタ44A、50Aに変更した点が異なっている。

図7は、MOS型のトランジスタ(FET)のゲート寸法を示す図である。ゲート電圧が同じであっても、ゲート幅Wとゲート長Lを変更することにより、チャネル抵抗が変化するため、ソース・ドレイン間を流れる電流は変化する。この変形例では、充電電流を多くしてアタック時間を短くしたいため、トランジスタ44Aのゲート幅Wを大きな値に、ゲート長Lを小さな値に設定する。一方、放電電流を少なくしてリリース時間を長くしたいため、トランジスタ50Aのゲート幅Wを小さな値に、ゲート長Lを大きな値に設定する。このように、トランジスタ44A、50Aのそれぞれゲート寸法を異ならせることによってアタック時間とリリース時間を容易に異ならせることができる。この場合には、トランジスタ44A、50Aは、充電回路14と放電回路16の一部の構成をなすとともに、充放電速度設定手段としての機能を有する。

産業上の利用可能性

上述したように、本発明によれば、コンデンサに対して間欠的な充放電が行われるため、コンデンサの静電容量を小さくした場合であっても緩やかに端子電圧が変化し、等価的に大きな時定数を設定することができる。したがって、大きな時定数を設定する場合であっても小さなコンデンサを使用することができ、回路の小型化が可能になる。また、大きな時定数を設定するために必要だった大きな抵抗やコンデンサが不要になって外付け部品を低減あるいは全くなすことができるため、平滑回路全体あるいはほとんどの構成部品のIC化が可能となる。さらに、充放電速度設定手段を設けることにより、コンデンサに対する充電速度と放電速度を異ならせることができるため、容易にアタック時間とリリース時間が異なる平滑回路を実現することが可能になる。

請 求 の 範 囲

1. コンデンサと、

前記コンデンサの端子電圧と入力電圧とを比較する電圧比較器と、

前記端子電圧よりも前記入力電圧の方が相対的に高い場合に、前記コンデンサを間欠的に充電する充電回路と、

前記端子電圧の方が前記入力電圧よりも相対的に低い場合に、前記コンデンサから間欠的に放電電流を放出する放電回路と、

を備える平滑回路。

2. 前記充電回路は、前記コンデンサに所定の充電電流を供給する電流供給部と、前記電流供給部による充電電流の間欠的な供給動作のタイミングを制御する第1のタイミング制御部とを含んで構成されている請求の範囲第1項記載の平滑回路。

3. 前記第1のタイミング制御部は、所定のデューティ比を有するパルス信号に基づいて前記タイミングの制御を行うスイッチを有する請求の範囲第2項記載の平滑回路。

4. 前記パルス信号の周波数は、入力信号の周波数の2倍よりも高い請求の範囲第3項記載の平滑回路。

5. 前記電流供給部は、定電流回路と、この定電流回路によって生成される電流と同じ充電電流を前記コンデンサに供給するカレントミラー回路とを含んで構成されている請求の範囲第2項記載の平滑回路。

6. 前記放電回路は、前記コンデンサから所定の放電電流を放出する電流放出部と、前記電流放出部による放電電流の間欠的な放出動作のタイミングを制御する第2のタイミング制御部とを含んで構成されている請求の範囲第1項記載の平滑回路。

7. 前記第2のタイミング制御部は、所定のデューティ比を有するパルス信号に基づいて前記タイミングの制御を行うスイッチを有する請求の範囲第6項記載の平滑回路。

8. 前記パルス信号の周波数は、入力信号の周波数の2倍よりも高い請求の範囲第7項記載の平滑回路。

9. 前記電流放出部は、定電流回路と、この定電流回路によって生成される電流

と同じ放電電流を前記コンデンサから放出するカレントミラー回路とを含んで構成されている請求の範囲第 6 項記載の平滑回路。

10. 前記充電回路は、前記コンデンサに所定の充電電流を供給する電流供給部と、前記電流供給部による充電電流の間欠的な供給動作のタイミングを制御する第 1 のタイミング制御部とを含んで構成されており、

前記放電回路は、前記コンデンサから所定の放電電流を放出する電流放出部と、前記電流放出部による放電電流の間欠的な放出動作のタイミングを制御する第 2 のタイミング制御部とを含んで構成されており、

前記第 1 のタイミング制御部によって制御される充電電流の供給タイミングと、前記第 2 のタイミング制御部によって制御される放電電流の放電タイミングとが重複しないことを特徴とする請求の範囲第 1 項記載の平滑回路。

11. 前記充電回路による充電速度と前記放電回路による放電速度を異ならせる充放電速度設定手段をさらに備える請求の範囲第 1 項記載の平滑回路。

12. 前記充電回路は、前記コンデンサに所定の充電電流を供給する電流供給部と、前記電流供給部による充電電流の間欠的な供給動作のタイミングを制御する第 1 のタイミング制御部とを含んで構成されており、

前記放電回路は、前記コンデンサから所定の放電電流を放出する電流放出部と、前記電流放出部による放電電流の間欠的な放出動作のタイミングを制御する第 2 のタイミング制御部とを含んで構成されており、

前記充放電速度設定手段は、前記第 1 および第 2 のタイミング制御部によって制御される充電電流の間欠的な供給時間と放電電流の間欠的な放出時間を異ならせる請求の範囲第 1 項記載の平滑回路。

13. 前記第 1 および第 2 のタイミング制御部のそれぞれは、所定のデューティ比を有するパルス信号に基づいて前記タイミングの制御を行うスイッチを有しており、

前記充放電速度設定手段は、充電用の前記パルス信号のデューティ比と放電用の前記パルス信号のデューティ比を異ならせる請求の範囲第 1 項記載の平滑回路。

14. 前記充放電速度設定手段は、前記電流供給部によって供給される充電電流

と前記電流放出部によって放出される放電電流を異ならせる請求の範囲第12項記載の平滑回路。

15. 前記電流供給部および前記電流放出部のそれぞれは、所定の基準電圧がゲートに印加されるトランジスタによって構成されており、

前記充放電速度設定手段は、充電用の前記トランジスタと放電用の前記トランジスタのゲート寸法を異ならせる請求の範囲第14項記載の平滑回路。

16. 前記パルス信号の周波数は、入力信号の周波数の2倍よりも高い請求の範囲第13項記載の平滑回路。

1/6

図1

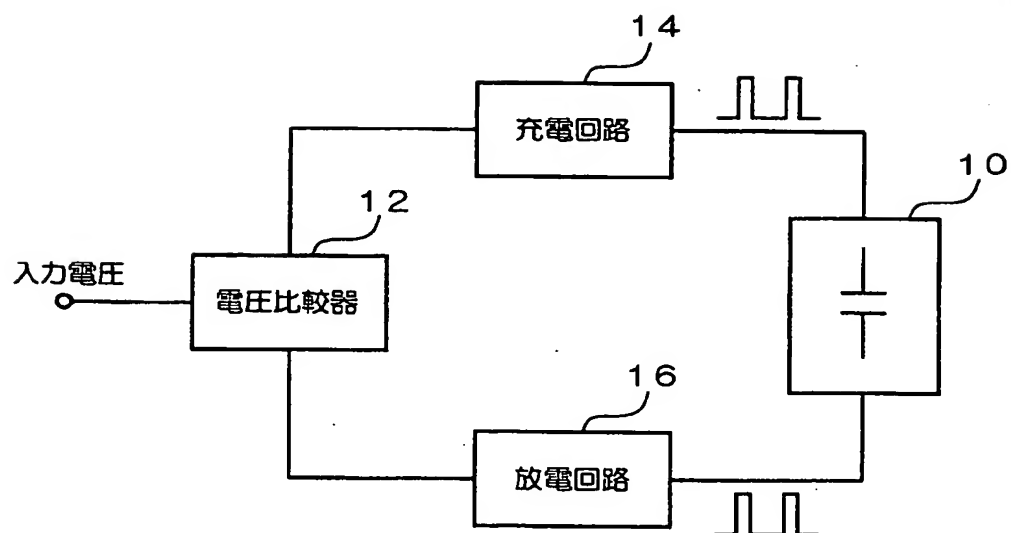
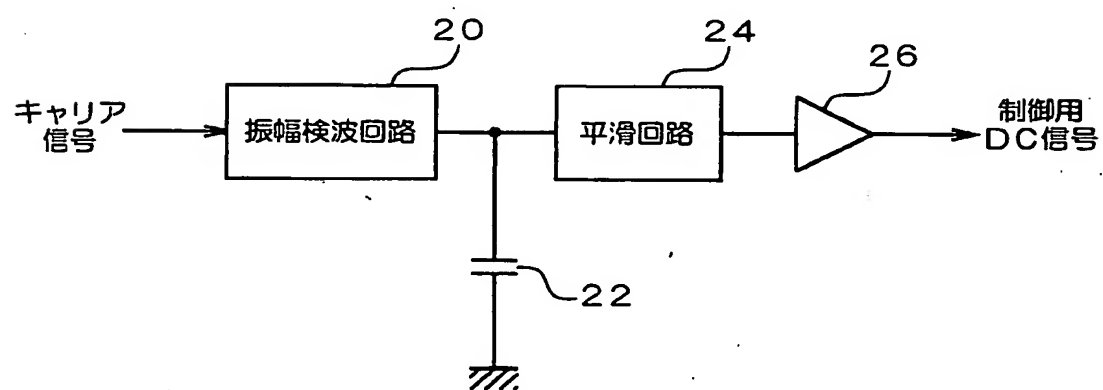
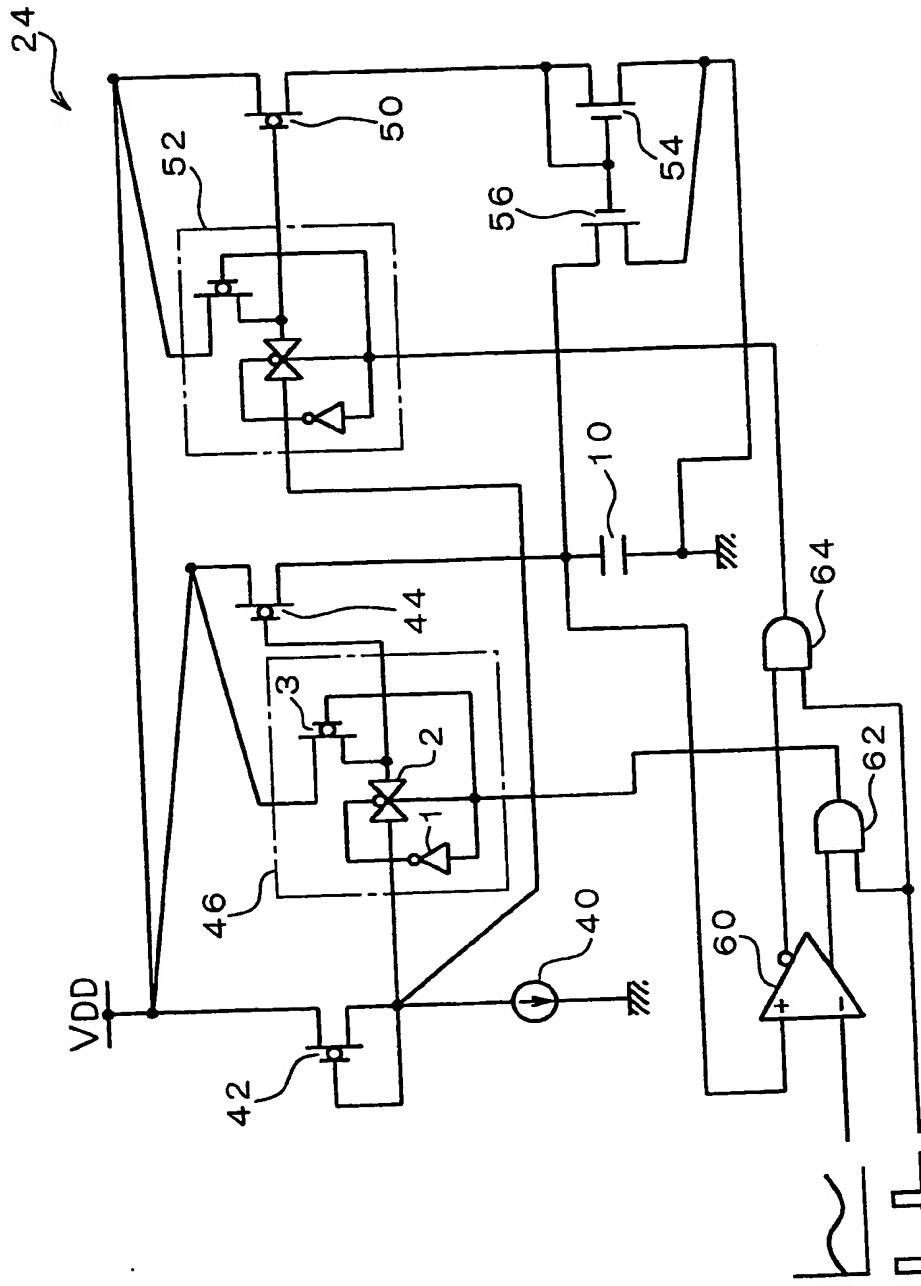


図2

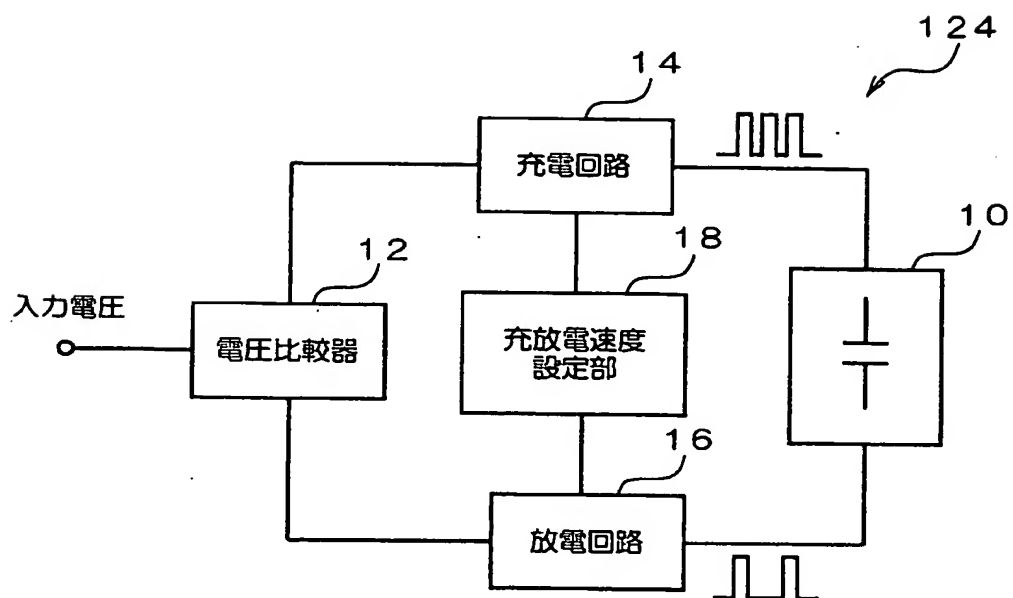


3
图

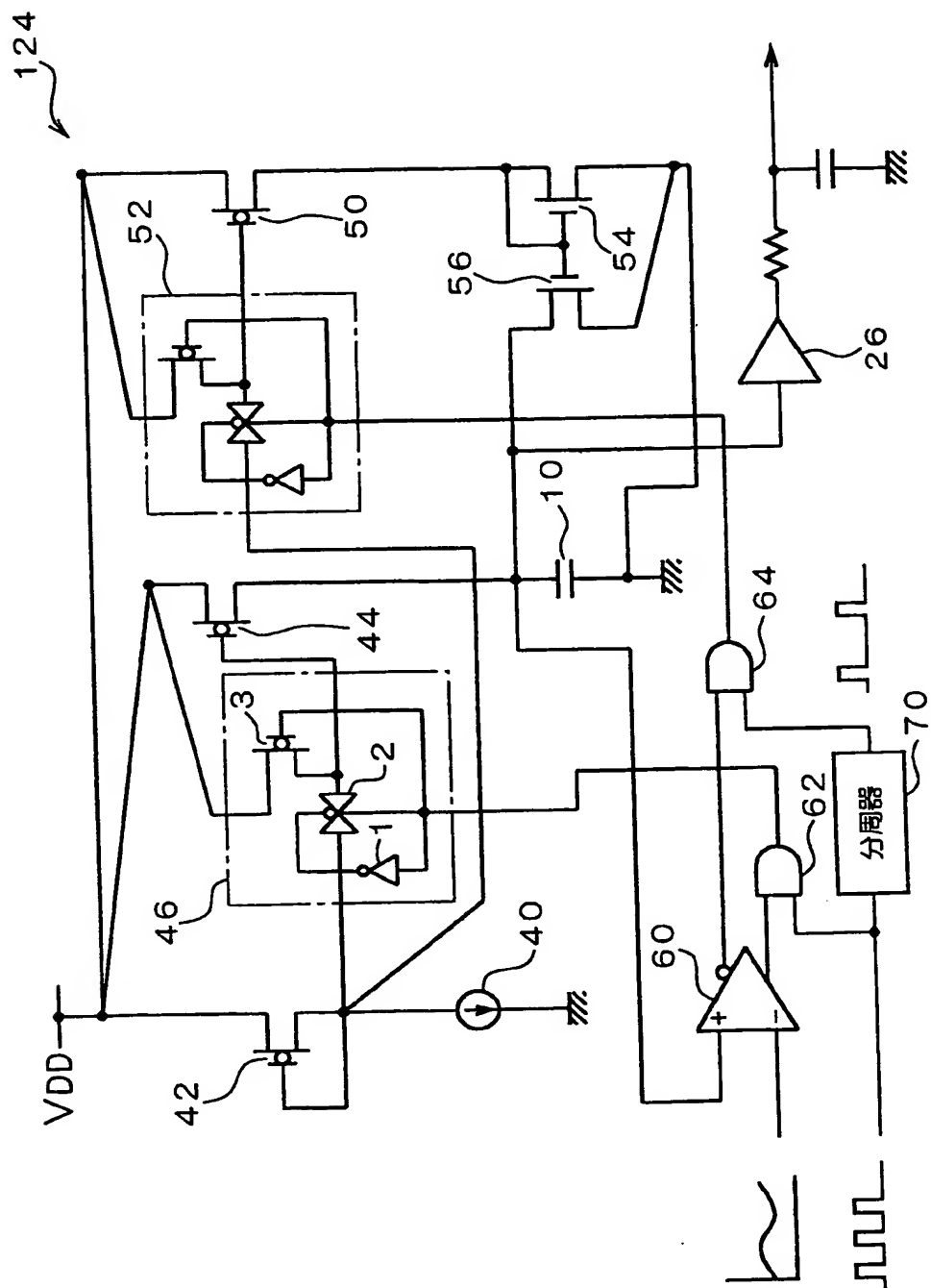


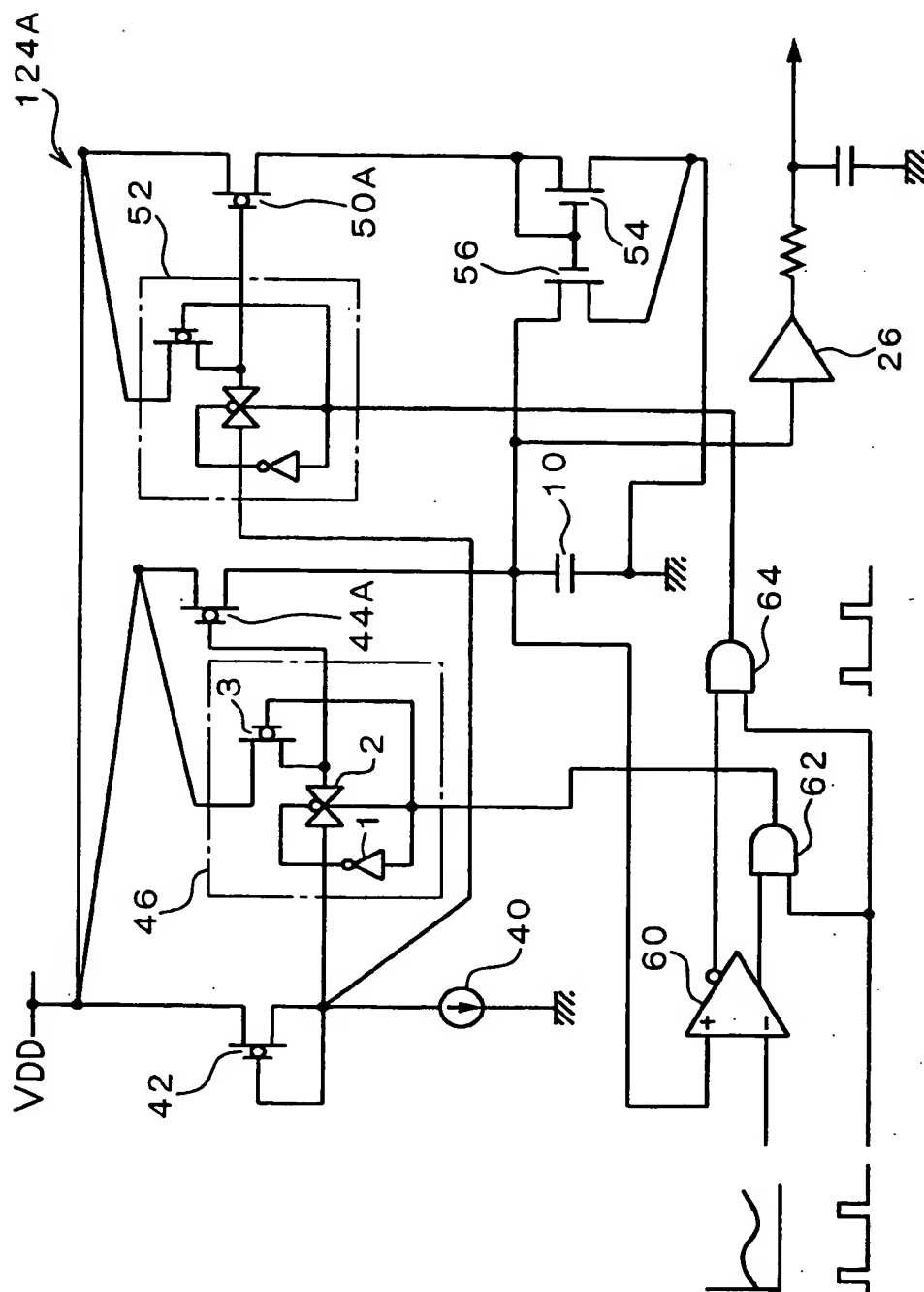
3/6

図4



5





6/6

図7

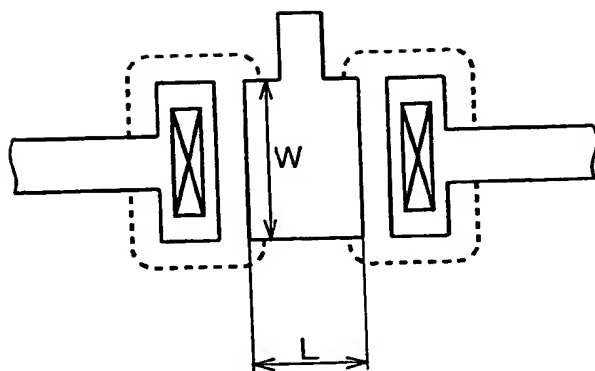
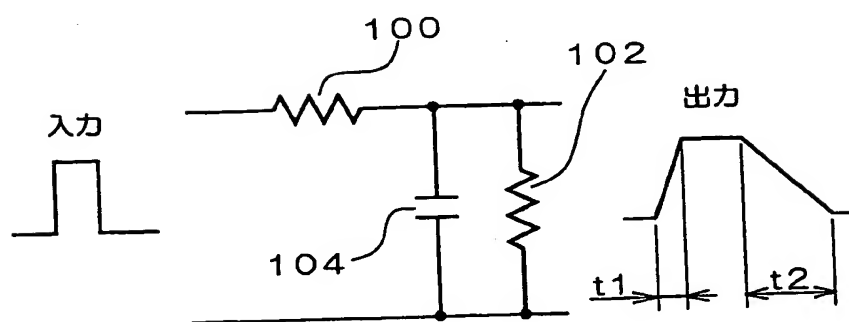


図8



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP01/11184

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03H11/48, H03G3/30, H03D1/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03H11/48, H03G3/30, H03D1/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 57-192120, A (Fujitsu Ltd.),	4, 8, 12-15
X	26 November, 1982 (26.11.82),	1-3, 6-7, 10-11
Y	(Family: none)	
Y	JP, 7-22880, A (NEC IC Miconsystem K.K.),	5, 9
	24 January, 1995 (24.01.95),	
	(Family: none)	5, 9

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 March, 2002 (13.03.02)

Date of mailing of the international search report
26 March, 2002 (26.03.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JPO1/11184

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H03H11/48, H03G3/30, H03D1/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03H11/48, H03G3/30, H03D1/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996
 日本国公開実用新案公報 1971-2002
 日本国登録実用新案公報 1994-2002
 日本国実用新案登録公報 1996-2002

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 57-192120 A (富士通株式会社) 1982. 1	4, 8, 12-15
X	1. 26 (ファミリーなし)	1-3, 6-7, 10-11
Y		5, 9
Y	J P 7-22880 A (日本電気アイシーマイコンシステム株式会社) 1995.01. 24 (ファミリーなし)	5, 9

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

13. 03. 02

国際調査報告の発送日

26.03.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

清水 登

5W

8525

電話番号 03-3581-1101 内線 6441